

Optimizing POL Transient Response with the Tunable Loop* Feature

チューナブル・ループ機能を用いた POL コンバータの過渡応答特性の最適化

Originally written by Vijayan Joseph Thottuvelil, Ph.D., GE

Introduction はじめに

Point of Load (POL) DC-DC converter modules are widely used today in a range of applications to provide regulated DC power to a variety of loads. Since POLs are small, efficient and relatively inexpensive, their utility in providing common powering voltages to groups of IC loads has resulted in their rapid adoption and proliferation. With the ever-increasing complexity of today's boards, the number of individual voltages required to properly power all the IC loads ranges from three to ten or even higher. To address this need, architectures that combine isolated DC-DC converters or AC-DC power supplies with POLs have become the new standard.

こんにち、POL DC-DC コンバータモジュールは様々なアプリケーションで各種の負荷に安定した DC 電圧を供給するために広く用いられています。POL は小型、効率的、かつ比較的安価であることから、各種 IC 負荷へ一般的な駆動電圧を供給するため、急速な採用とその広がりを見せています。昨今の基板は常に複雑さが増しており、すべての IC 負荷に適切に電圧供給するための個々の電圧の数は 3~10、又はそれ以上の範囲になります。この要求に対処するため、絶縁型 DC-DC コンバータ、又は AC-DC 電源と POL を組み合わせる構成が新しい標準になっています。

As the number of board voltages has increased, the ICs have likewise become more demanding. Already at sub-1V and dropping, the new generation of silicon demands ever tighter voltage regulation for optimum performance. This is compounded as designers strive to add more functionality into the same silicon while attempting to maintain the same level of power consumption. The result of lower voltages at the same level of power consumption results in a marked increase in current requirement. An IC that operates at 20W maximum power consumption would draw 11.A at 1.8V, but 16.7A at 1.2V. This is just one challenging implication of the reduction in powering voltage; there are more severe ones to consider.

基板上の電圧の数が増えているように、IC も同様に要求が増えてきています。新しい世代のシリコンは最適なパフォーマンスのために常に狭い電圧精度を要求します。これは同程度の電力消費に抑えつつ、設計者が同じシリコンに更に多くの機能を追加しようと努力したことから発生しました。同程度の電力消費で電圧が下がったことで電流の要求が増えました。IC が 20W の最大消費電力で動作している場合、1.8V では 11A 流れますが、1.2V では 16.7A になります。これは電源電圧を下げるという、ある一つの挑戦的な意味合いではありますが、実は考慮すべきもっと厳しい側面があります。

Challenges in POL Output Regulation POL 出力安定度の課題

In order to achieve optimum performance, IC manufacturers typically impose tight limits on the input voltage variation that may be tolerated without errors. A common specification is that the voltage may not deviate by more than $\pm 5\%$, and may be as tight as $\pm 3\%$. As the powering voltages drop, these tolerances translate into ever tighter bounds. A $\pm 5\%$ band at 1.8V is 180mV, but at 1V, it is only 100mV.

最適なパフォーマンスを達成するために IC メーカーは概してエラーが発生せずに許容できる入力電源の変動について狭い制限を強要します。一般的なスペックでは、電圧は $\pm 5\%$ 以上の変動があってはならないとなっているか、 $\pm 3\%$ と狭くなっています。電源電圧が低くなるとこれらの許容差は更に狭い境界に変わります。1.8V で $\pm 5\%$ では 180mV だったものが、1V だと 100mV になります。

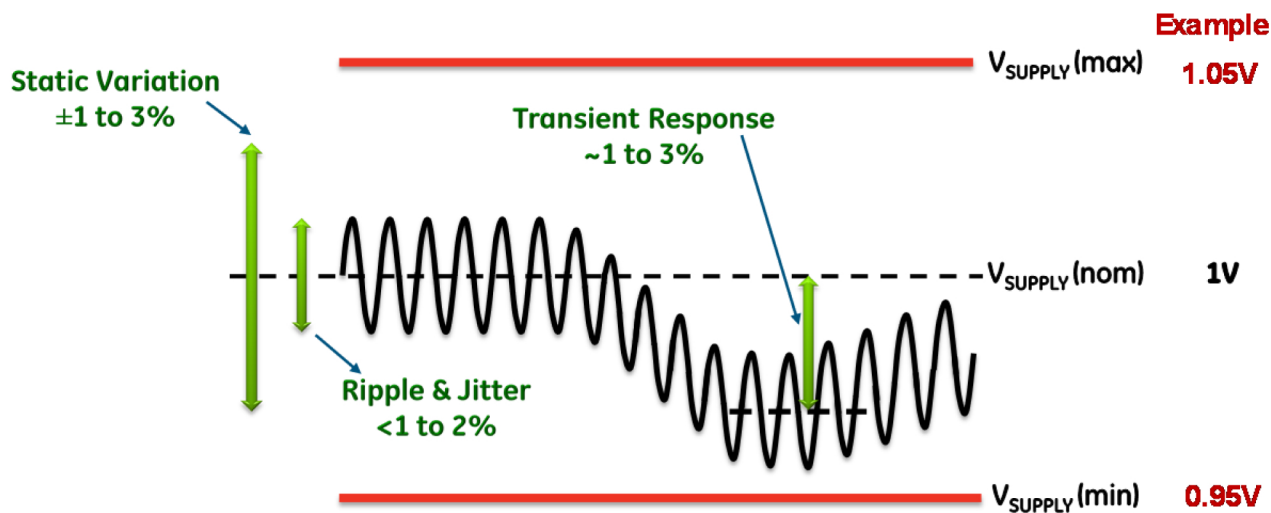


Figure 1. Components of voltage deviation that POLs must address in order to meet IC powering requirements: Static Variation, Ripple and Jitter, and, Transient Response.

図 1. IC の電源要求に合致するために POL が対処すべき電圧変動の個々の要素。静的変動、リップルとジッタ、そして過渡応答

The POL powering the IC must maintain this tolerance under varying conditions of input voltage, load current, temperature, component variations, and drift over the life of the product. Figure 1 demonstrates this requirement. The upper and lower bounds for the supply voltage are imposed by the IC being powered. The total deviation is composed of three elements: (1) static deviations (variation of the POL average voltage due to component tolerances, temperature, line, and load regulation), (2) POL switching output ripple, and (3) dynamic voltage variations due to transient load changes.

IC に供給する POL の電源は、電圧、負荷電流、温度、部品ばらつき、製品の耐用期間のドリフトなど、様々な条件の下でこの許容差を維持しなくてはなりません。図 1 はこの要求事項を図式化したものです。供給電圧の上と下の境界値は動作している IC が要求するものです。総合変動は 3 つの要素から成ります：(1)静的変動（部品の公差、温度、入力、及び出力変動による POL の平均的な電圧変動）、(2)POL のスイッチング出力リップル、そして(3)過渡的な負荷変動によるダイナミックな電圧変動。

Typically a budgeting process can be used to allocate the entire allowed voltage deviation window among various contributing factors. For example, out of a total band of 10% of the nominal powering voltage, the worst case static deviation may be 3%, output ripple may be 1% and with a 2% safety margin, this would leave 4% for transient deviation. The actual transient deviation then allowed for a minimum to maximum load current change would then be half of the 4% or 2%. At 1.8V this translates to 36mV, at 1V it drops to 20mV. Referring back to the current draw on a 20W load, a 50% transient load change at 1.8V translates to 5.6A, but at 1V, it becomes 10A.

様々な貢献要因の中で許容できる電圧変動枠を割り当てるため、通常、見積りプロセスが使われます。例えば、10% の公称電圧範囲の中で、ワーストケースの静的変動が 3%、出力リップルが 1% とマージンが 2% とすると、4% が過渡的な変動に残されます。実際の過渡的な変動には負荷電流の Min から Max の変動のため 4% の半分として 2% になります。1.8V では 36mV になり、1V では更に少なくなり 20mV となります。20W での電流に話を戻すと、1.8V での 50% 過渡負荷変動は 5.6A ですが、1V では 10A にもなります。

Power Draw 消費電力	IC Voltage IC 電圧	Current 電流	Regulation Band $\pm 5\%$ 電圧変動許容値	Transient Band 2% 過渡応答範囲	50% Load Step 50%変動負荷
20W	1.8V	11.1A	180mV	36mV	5.6A
20W	1V	20A	100mV	20mV	10A

As powering voltages drop, the voltage deviation tolerance shrinks while the load step increases. This compounding impact results in a problem that is thrice as difficult (1.8X higher current step / 0.6X specified deviation band).

動作電圧が下がることで電圧変動の許容差は小さくなり、負荷変動の幅は大きくなります。これらの複合的な影響は問題を3倍ほど難しくします。(1.8倍の電流ステップ / 0.6倍の許容差)

Historically, the solution to improving the transient response of POLs has been to increase the capacitance between the POL module and the IC. The additional energy storage provided by the capacitors reduces the deviation in the output voltage during a transient load step. The implications, however, are increased cost, increased board area, and reduced reliability. Furthermore, this brute-force solution eventually runs out of steam and begins to degrade the transient response causing an increasingly sluggish recovery time. Finally, this approach hits a hard limit where adding more capacitance results in a low margin of stability and eventually the full onset of instability.

歴史的にはPOLの過渡応答を改善する方法は、POLモジュールとICとの間のコンデンサ容量を増やす方法が取られてきました。コンデンサによる追加のエネルギー貯蔵により過渡的な負荷のステップ時の出力電圧の変動を減らします。しかしながら、コストを上げ、基板の占有面積を増やし、信頼性を悪化させるという意味合いになります。更には、この強引な方法は過渡応答を逆に悪化させリカバリー時間が遅くなる原因となります。最後に、このアプローチでは更にコンデンサ容量を追加することで安定性のマージンが悪化することになり、結局、不安定動作の引き金になるという厳しい限界に達します。

The Tunable Loop Feature チューナブル・ループ機能

The traditional solution to improving the transient response by adding more capacitance is illustrated in Figures 2a and 2b. The response of a FDK 12A Tomodachi (GE 12A PicoDLynx*) POL module at 1.2V out with a 50% load step (6 Amps) is presented using a single 47 μ F capacitor and 47 μ F + 330 μ F capacitors. Clearly, there is an improvement, but it falls far short of optimizing the response to the load transient. The Tunable Loop feature [1] patented by GE provides the answer. Figure 2c demonstrates the substantial improvement afforded through the implementation on the Tunable Loop. Clearly, with an ever-tightening budget of voltage deviation, and an ever increasing load step demand, the immediate impact of this technology is apparent.

コンデンサ容量を追加することで過渡応答を改善しようとする伝統的な方法を図 2a と図 2b のイラストに示します。FDK 製 12A Tomodachi (GE 製 12A PicoDLynx*) POL モジュールを用い、1.2V 出力、50% 負荷ステップ(6A)、47 μ F コンデンサ、及び 47 μ F+330 μ F 時の応答波形です。明確に改善が見られますが、負荷変動に対して応答が最適されているには程遠い状態です。GE が特許を持つチューナブル・ループ機能 (Tunable Loop) が回答を提供します。図 2c はチューナブル・ループを適用することで抜本的な改善が行われたことを示します。常に厳しくなる電圧精度と常に増え続ける負荷ステップ変動値の要求においてこのテクノロジーの影響は明らかです。

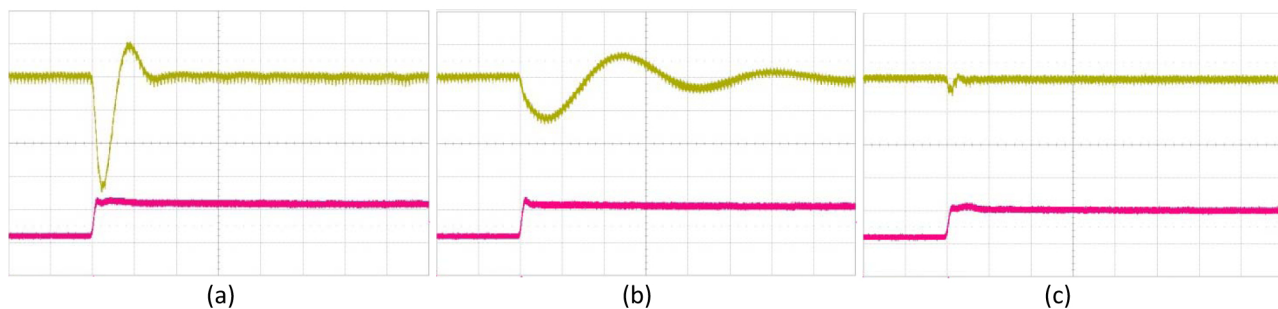


Figure 2. Waveforms of output voltage (upper) and current (lower), showing how transient response is improved by adding external capacitors and the Tunable Loop. For all plots the output voltage scale is 100mV/div., the load current waveform scale is 5A/div., and the time scale is 20 μ s/div.

図 2. 出力電圧波形(上:黄色)と電流波形(下:赤色)、外部コンデンサとチューナブル・ループを追加することでどのように過渡応答特性が改善されるかを示したものです。全ての波形において出力電圧は 100mV/div、電流波形は 5A/div、時間軸は 20 μ s/div。

The output voltage response by POLs is a function of two parameters: (1) the external capacitance and (2) the control bandwidth of the POL+load. Figure 3 illustrates the role of external capacitance in reducing the output voltage deviation due a transient load change. Due to the POL's limited bandwidth (typically the control loop gain crosses through the 0dB point at no more than 1/10th of the switching frequency), the initial surge of current is provided by the external capacitors. Once the POL control loop is able to come into play, the new level of load current is provided by the POL and the current from the external capacitor goes to nearly zero. Hence external capacitors improve transient voltage response by providing additional energy during the transitions between load current levels. As external capacitance is added, the initial deviation due to a load transient is reduced further, leading to the conclusion that lower transient voltage deviations are achieved simply by adding more capacitance.

POL の出力過渡応答特性は以下の二つのパラメータによる関数になります。

- (1) 外付けコンデンサ容量
- (2) POL+負荷の制御ループの帯域幅

図 3 は負荷の過渡変動に対して外付けコンデンサが出力電圧変動を低減する役割を図示したものです。POL の制限された帯域幅 (通常は制御ループゲインの 0dB ポイントはスイッチング周波数の 1/10 以下が望ましい) により、初期サージ電流は外付けコンデンサより供給されます。POL の制御ループが動作するようになると、新しいレベルの負荷電流は POL から供給されるようになり、外付けコンデンサからの電流はほぼゼロになります。すなわち、外付けコンデンサは負荷電流の過渡変動時に追加のエネルギーを供給することで電圧変動を改善しています。外付けコンデンサが追加されているので、電流変化による初期電圧変動は低減されます。結論として過渡電圧変動を下げることは単純にコンデンサ容量を追加することで達成できます。

The POL control bandwidth is the other parameter that controls transient deviation. Figure 4 illustrates that as the control bandwidth increases; the transient response improves for a fixed external capacitance. Consequently, it can be seen that as long as stability is maintained, increasing control bandwidth continues to improve transient response.

POL の制御ループ帯域幅は過渡変動を制御するその他のパラメータです。図 4 に出力コンデンサ容量を固定した条件で、帯域幅を上げることで過渡応答が改善することを示しています。結論としては、安定性が確保されている限り帯域幅を上げることで過渡応答は改善されます。

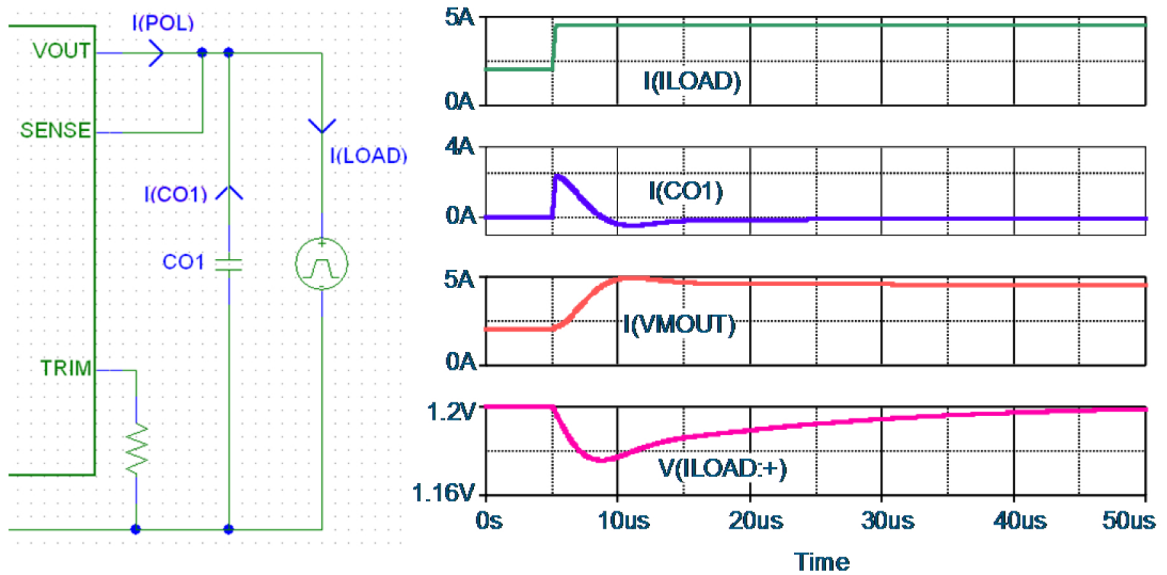


Figure 3. Diagram and waveforms explaining the role of output capacitance in helping a POL DC-DC converter reduce output voltage deviation due to a transient load change.

図 3. 負荷の過渡変動に対して外付けコンデンサが POL DC-DC コンバータの出力電圧変動を低減する役割を説明する回路図と波形

While increasing control bandwidth and increasing the external capacitance both improve transient response, these parameters are not independent. In fact, there is a strong interaction between them as increasing the external capacitance degrades the control bandwidth of the system. Therefore, the full benefits of the external capacitance cannot be realized unless this degradation is counteracted. This is the function of the Tunable Loop feature. It allows the designer to re-tune the control loop to compensate for the additional external capacitance resulting in an optimum balance of capacitance and bandwidth yielding the best transient response possible for a given set of application requirements.

制御ループ帯域幅を上げることと、外付けコンデンサを上げることは共に過渡応答の改善につながりますが、両方のパラメータは互いに独立ではありません。実際にそこには強い相互作用があり、単純に外付けコンデンサ容量を増やすことはシステムの帯域幅を低下させることにはなりかねません。従って、外付けコンデンサ容量によるすべての利益は、この反作用による特性悪化要素があるため実現できません。これを実現するのがチューナブル・ループ機能です。チューナブル・ループとは設計者が外付けコンデンサの容量追加を補正することで帯域幅を再調整し、一定のアプリケーションの要求下で最適なコンデンサ容量と帯域幅のバランスを取り、可能な限り最高の過渡応答特性を得るものです。

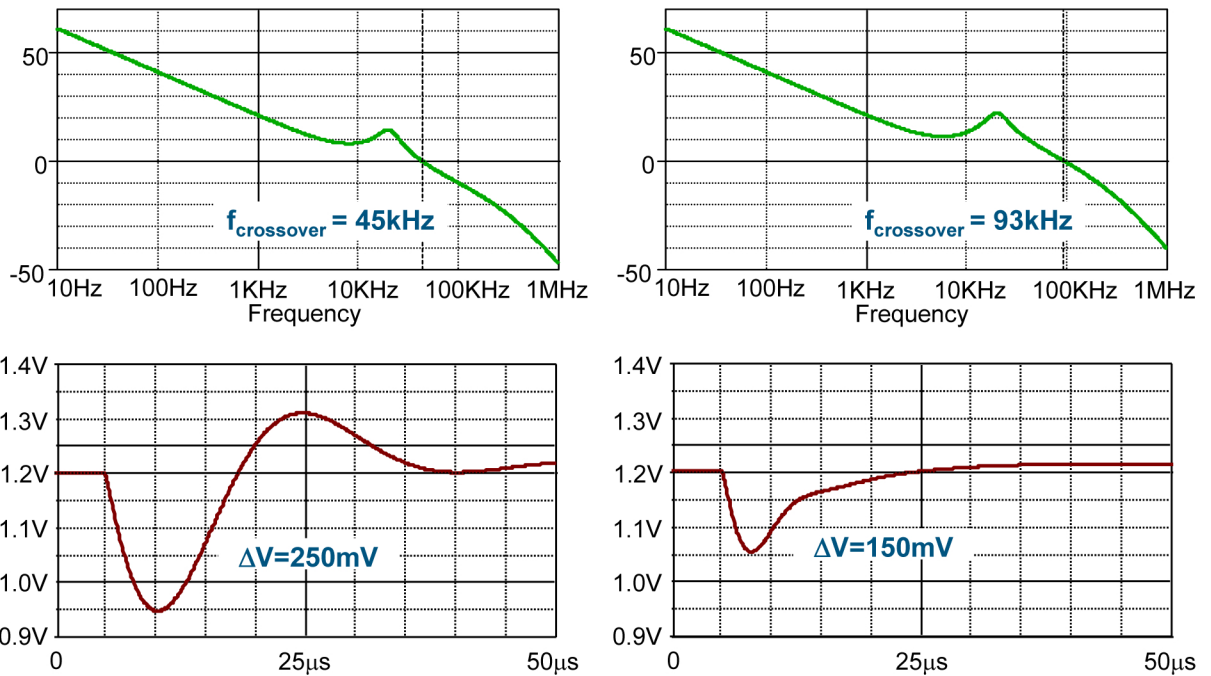


Figure 4. Plots showing the effect of improved control bandwidth on output transient voltage response. Output capacitance is the same in both plots.

図 4. ループ帯域幅を上げた場合の出力過渡応答の影響を示す。出力コンデンサ容量はいずれのプロットでも同じ。

The power of the Tunable Loop is in its simple implementation. As shown in Figure 5, an external network consisting of a resistor and capacitor in series is connected across the TRIM and Vout (or SENSE) pins of the POL module. These are typically very small, inexpensive passive devices: The resistor may be an 0805, 0603, or 0402 SMT component ranging in resistance from a few Ω to a few k Ω . Likewise, the capacitor is similar in size ranging from a few hundred pF to a few hundred nF. Fundamentally, this allows a single POL module to be externally optimized across multiple applications of significantly varying demands with minimal effort yielding the optimum board area, cost, response, and reliability. This additional benefit of module consolidation through a simple programmable feature yields significant dividends on both technical and commercial levels.

チューナブル・ループの特長はその簡単な使用方法にあります。図 5 に示すように、外部の抵抗とコンデンサの直列接続ネットワークを POL の TRIM ピンと Vout ピン (もしくは SENSE ピン) の間に接続するだけで使用することができます。これらはとても小さく安価な受動部品です。接続する抵抗のサイズは 2012、1608、1005 サイズの SMT 部品で、抵抗値は数 Ω から数 k Ω の範囲です。コンデンサも同様なサイズで容量は数百 pF から数百 nF の範囲となります。基本的にチューナブル・ループ機能を用いることで、単体の標準 POL モジュールをさまざまな要求のあるアプリケーションにおいて、最小の労力で最適なボードエリア、コスト、応答性、信頼性を得ることができます。シンプルな調整機能により、追加の利益として技術的、及びビジネス的の両面で利益を生みます。

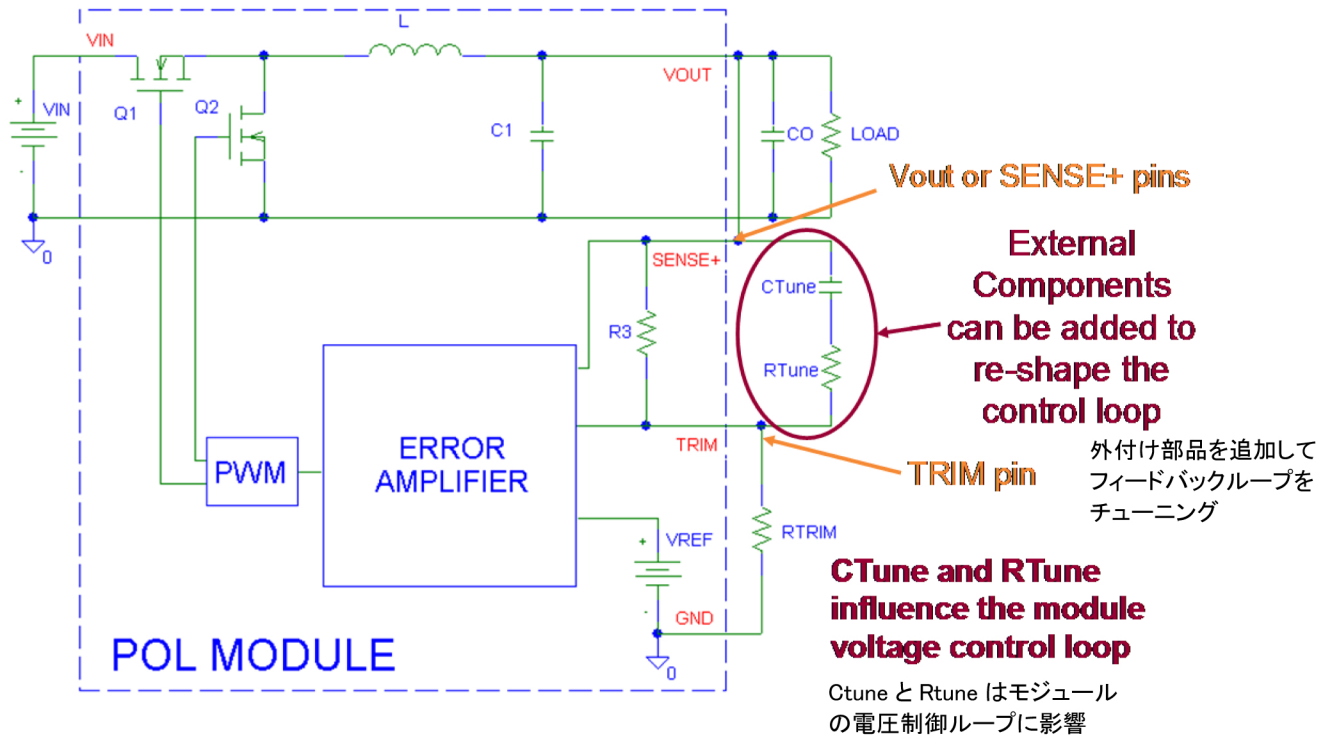


Figure 5. Diagram showing how the Tunable Loop feature can be implemented by adding two inexpensive components CTune and RTune to re-shape the POL voltage control loop.

図 5. 回路図はチューナブル・ループ機能が CTune と RTune の安価な 2 つの部品を追加することで POL の電圧制御ループを再調整できることを示す。

Example Converter with the Tunable Loop Feature

チューナブル・ループ付きコンバータの適用例

Let us consider the example of a 12A Tomodachi (12A PicoDLynx) converter. Through simulation models, we can easily examine both the transient response and control loop behavior. First, let's consider the impact of adding more capacitance. Figure 6 illustrates the transient response of the converter to a 50% (6 Amp) load step at different levels of external capacitance (1x47μF, 2x47μF, 3x47μF and 4x47μF). Note that while the maximum voltage deviation does improve from 347mV (1x47μF) to 222mV (4x47μF), the control loop bandwidth drops from 51kHz to 24kHz. This can also be noted in the increased sluggishness of the voltage recovery so that while adding capacitance does reduce the peak voltage deviation, it simultaneously increases the duration of the voltage excursion. This is consistent with the reduction in control bandwidth and poorer phase margin caused by the increasing capacitance.

ここで 12A Tomodachi コンバータの例を示します。シミュレーションモデルにより、過渡応答と制御ループ特性は簡単に試験できます。まずコンデンサ容量を増やすことの影響を考察します。図 6 はさまざまな外付けコンデンサ条件 (1x47μF, 2x47μF, 3x47μF, 及び 4x47μF) での定格の 50%(6A) 負荷変動時の過渡応答を示しています。電圧変動を 347mV (1x47μF) から 222mV (4x47μF) まで改善したとき、制御ループの周波数帯域は 51kHz から 24kHz まで落ちていきます。また、コンデンサを追加することで、電圧変動のピークを抑えられるものの、電圧が復帰しようとするまでの停滞時間が増えると同時に、電圧が偏移している時間も増えます。これはコンデンサ容量が増加したことにより制御ループの周波数帯域が低下し、位相余裕度が不十分になっていることに一致します。

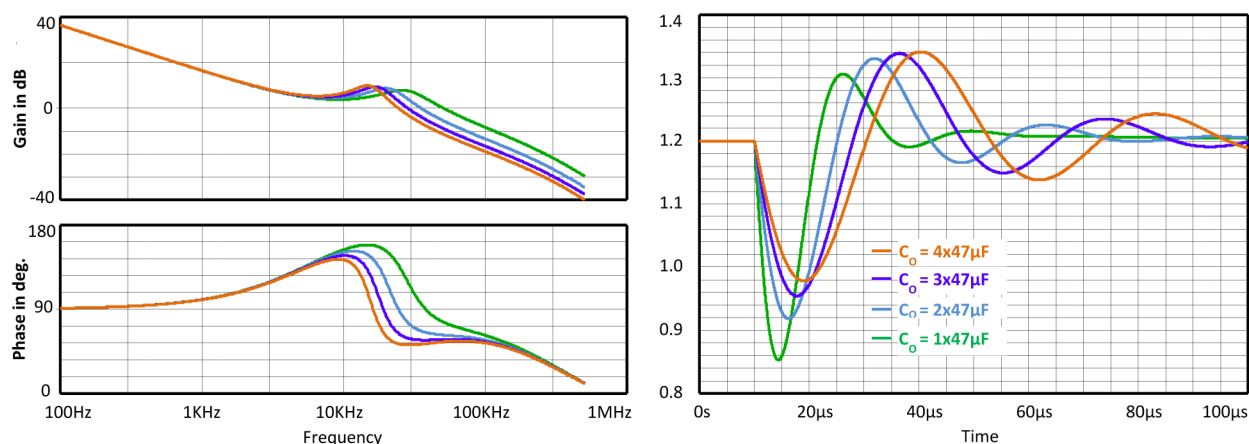


Figure 6. Plots showing the effects of adding external capacitance to a 12A Tomodachi (12A PicoDLynx) module. The plots on the left show the loop gain plots while the waveforms on the right show the output voltage transient response to a 6A step change in load current.

図 6. プロットは 12A Tomodachi モジュールにコンデンサを追加した時の影響を示します。左側のプロットは制御ループのゲインを表し、右側の波形は負荷電流を 6A ステップした際の出力電圧の過渡応答を表します。

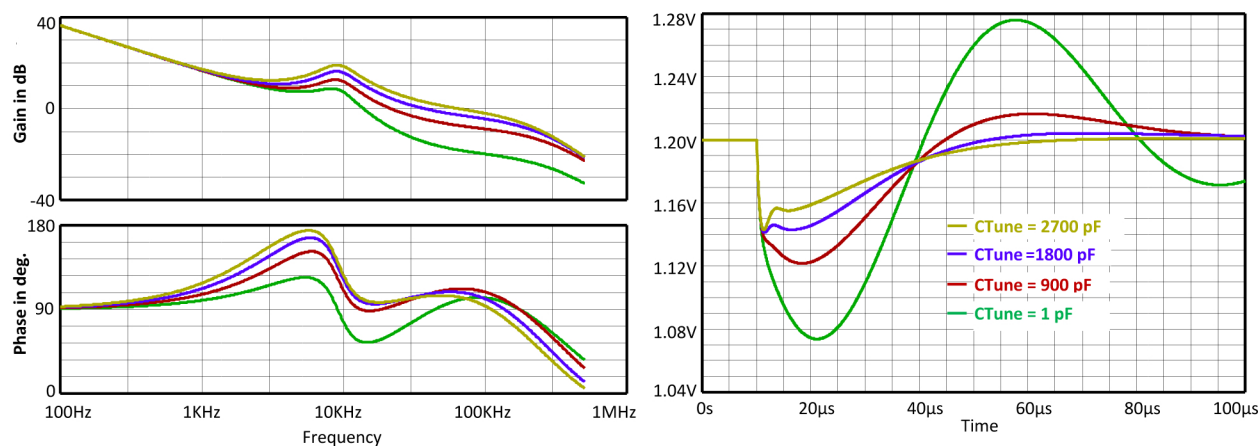


Figure 7. Plots showing the effects of externally tuning the compensation of the 12A Tomodachi (12A PicoDLynx) module with external capacitance of (1x47μF + 1x330 μF) using the Tunable Loop. The plots on the left show the loop gain plots while the waveforms on the right show the output voltage transient response to a 6A step change in load current.

図 7. プロットは外部コンデンサ容量(1x47 μ F +1x330 μ F)をつけた 12A Tomodachi モジュールにチューナブル・ループを使って補正をチューニングした影響を示します。左側のプロットは制御ループのゲインを表し、右側の波形は負荷電流を6A ステップした際の出力電圧の過渡応答を表します。

The ultimate goal is to regain the bandwidth lost due to the increased capacitance through the use of the Tunable Loop feature. To demonstrate the process, we fix the value of RTune to 330 Ω and vary CTune from 1pF to 2700pF. Figure 7 illustrates increasing CTune correspondingly increases the control bandwidth from 13.7kHz (CTune=1pF) to 64.5kHz (CTune=2700pF). The Tunable Loop has recovered and even exceeded the lost bandwidth, but the true benefit is evident as the voltage deviation improves from 126mV to 57mV. Note that the voltage waveform also settles much faster and without overshoot. Here, the Tunable Loop achieves a 2.2x voltage deviation reduction at the same level of capacitance.

最終的なゴールは、コンデンサ容量を追加することで低下した帯域幅をチューナブル・ループを使うことで再度上げることです。プロセスを説明するため、Rtune を 330 Ω に固定し Ctune を 1pF から 2700pF まで変化させています。図 7 に Ctune を増加させたとき、制御帯域幅が 13.7kHz(Ctune=1pF)から 64.5kHz (Ctune=2700pF)に増加していることを示しています。チューナブル・ループは失われた帯域幅を回復あるいは改善させます。しかし、真の利点は電圧変動が 126mV から 57mV まで改善されたことです。電圧の波形はオーバーシュート無しで高速に安定化します。この例ではチューナブル・ループは同じコンデンサ条件で、1/2.2 まで電圧変動を低減させることに成功しています。

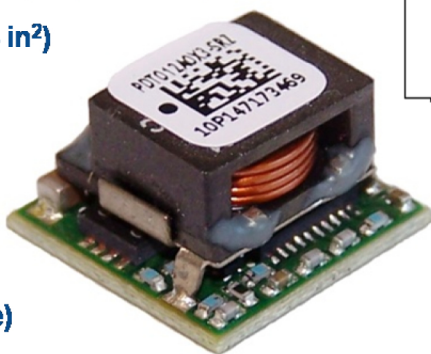
Alternately, the Tunable Loop can achieve a lower voltage deviation specification with a significantly reduced capacitance. Figure 8 graphically demonstrates the size and cost reductions obtained by using the Tunable Loop for another example design using the 12A Tomodachi (12A PicoDLynx) module to power an application from 5Vin to 1.2Vout @ 8A, with a maximum step load of 4A and with a required output voltage deviation to not exceed 4% (48mV). For the case where the Tunable Loop is not used, 3 x 47 μ F ceramic and 4 x 330 μ F polymer electrolytic capacitors are required, whereas when the Tunable Loop is employed, only one each of the 47 μ F and 330 μ F capacitors are needed. This results in a reduction in external capacitor cost and a drop in PWB space needed of 190 mm² (0.3 in²). Since the module itself occupies only 149 mm², the total board area reduction is very significant.

チューナブル・ループを使用すると、出力コンデンサ容量を減らしながら、より少ない電圧変動を得ることが可能です。図 8 では 12A Tomodachi モジュールにチューナブル・ループを用い、5V 入力、1.2V/8A 出力、最大負荷変動 4A、出力電圧変動値 4% (48mV) 以下というアプリケーション例でサイズとコストの削減例を図示しています。チューナブル・ループを使用しない場合、3x47 μ F のセラミック・コンデンサと 4x330 μ F のポリマー(機能性高分子)電解コンデンサが必要です。チューナブル・ループを使用すると、47 μ F と 330 μ F を 1 個ずつだけで足りる。この結果は外付けコンデンサにおいて コストダウンと 190 mm² の基板スペース削減が可能です。モジュール自体の面積は 149 mm² ですので電源回路トータル基板スペースの削減は非常に大きなものになります。

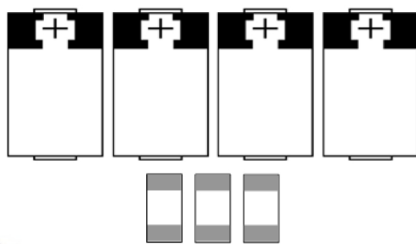
- **No Tunable Loop** チューナブル・ループ無し
 - 3 x 330 μ F Sanyo 4TPF330ML (330 μ F/ 40m Ω)
 - Board area of 258 mm² (0.4 in²)

チューナブル・ループ有り

- **With Tunable Loop**
 - 3 x 47 μ F ceramic (1206 size)
 - Board area of 67.6 mm² (0.105 in²)



Caps: No-Tune



Caps: Tune

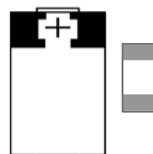


Figure 8. Size and cost reductions derived from using the Tunable Loop on an example design employing the 12A Tomodachi (12A PicoDLynx) module.

図 8. 12A Tomodachi モジュールを用いた設計事例。チューナブル・ループによりサイズとコストの削減が可能。

Greater reductions in cost and board area due to external capacitance can be achieved with higher current modules. Figure 9 shows graphs of output capacitance vs. output voltage deviation for a 40A module where a 10A step load is applied. In addition to the reduction in output capacitance that the Tunable Loop provides, the range of external capacitance that can be attached to the module is about 6X larger than without tuning. This powerful capability also enables the use of much larger values of external capacitance with POLs when either very low values of output ripple are needed or extremely small transient voltage deviations are required.

外付けコンデンサによるコストと基板エリアの低減効果は、大きな出力電流のモジュールでより多く得られます。図9は40Aモジュールでの10A負荷変動時の出力コンデンサ容量 vs. 出力電圧変動のグラフです。チューナブル・ループの提供する出力コンデンサの低減に加えて、モジュールに付加可能な外付けコンデンサ量は、チューニング無しの場合と比べ約6倍大きくなります。この強力な能力により出力リップルのさらなる低減要求や非常に微小な過渡変動の要求があっても、POL出力に大量の外付けコンデンサを付加することが可能です。

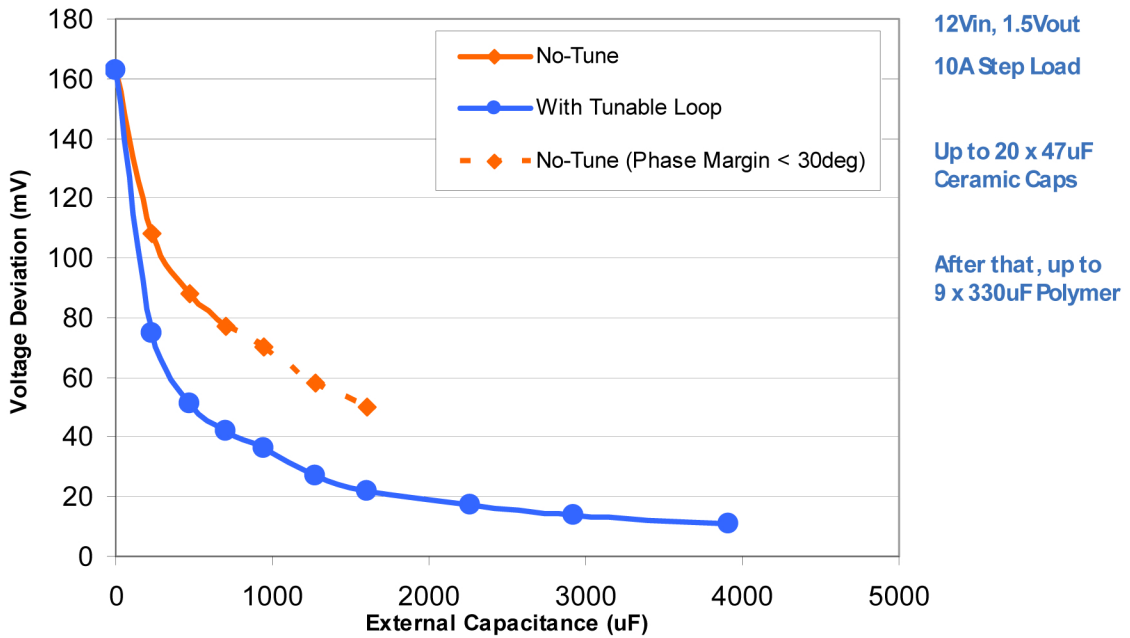


Figure 9. Graph showing output voltage deviation due to a transient load current of 10A vs. external capacitance for the case of a 40A module with and without the Tunable Loop.

図9. グラフは40Aモジュールにおいて、10Aの負荷変動を行ったときの出力電圧変動値と外付けコンデンサ容量について、チューナブル・ループの有り無しの違いを表したものである。

While the cost and board area savings are significant, another benefit of using fewer capacitors, and potentially only ceramic capacitors, is higher reliability. Additionally, the simple tools made available in the configuration of the Tunable Loop parameters lead to better characterized and more robust designs with a higher likelihood of getting it “right the first time”. Where design parameters are susceptible to change, stability characteristics can likewise change. An example of this is capacitor ESR variations due to variability in procurement. Having the flexibility to change and tune the dynamic characteristics of the design via the Tunable Loop components provides a powerful level of robustness.

コストと基板エリアの節約は重要ですが、コンデンサ使用量の低減と、おそらくセラミックコンデンサだけで済む可能性があり、高い信頼性が実現できます。また、良い特性や“一発で正しく動く”可能性を高めたロバスト設計へ導くため、チューナブル・ループのパラメータ設定のシンプルなツールが用意されています。設計変更等で設計パラメータが影響を受けるような場合、安定性の特性も変更することができます。この一例として調達の変動によるコンデンサのESR値の変化が上げられます。チューナブル・ループによる設計変更に対する柔軟性と動的特性に対する調整能力は、高いレベルのロバスト性を提供します。

Summary まとめ

The Tunable Loop is shown to be a powerful technique that helps designers optimize the amount of external capacitance needed when employing standard POL modules. Reducing capacitors leads to lower cost, more compact designs and better reliability. GE now offers the Tunable Loop on a wide range of POLs, the Tomodachi series of SMT modules covering output current ranges from 3A to 40A. The data sheets of these modules provide an initial set of recommended values of CTune and RTune for a range of applications. Simulation models and selection tools for all converters that support a wider range of optimization choices are also available and these provide additional benefits in being able to predict design performance before committing to hardware. The flexibility of Tunable Loop modules allows for a significant consolidation of requirements allowing true portability across programs and platforms.

チューナブル・ループ機能は標準 POL モジュールを使用する際、設計者が外付け出力コンデンサの量を最適化するのを助ける、強力なテクニックです。コンデンサを低減することは低コスト、小型化、より良い信頼性に導きます。FDK はチューナブル・ループ機能搭載 POL を幅広く取り揃えています。Tomodachi シリーズ表面実装モジュールで出力電流 3A から 40A までカバーします。これらのモジュールのデータシートには CTune と RTune の推奨値が記載されています。他にシミュレーションモデルやセレクションツールを用いて広範囲の最適化と試作前の設計値の予測も可能です。チューナブル・ループ搭載モジュールの柔軟性は、要求事項の大幅な整理が可能で、プログラム間、プラットフォーム間の真の可搬性を可能とします。

Finally, since the Tunable Loop offers a continuum of design flexibility, it offers a superior capability compared to other solutions where only a discrete set of pre-tuned settings are available. Just as voltage programming using an external resistor was once novel in the application of POL modules, the Tunable Loop's programmability using an external resistor and capacitor is expected to become the standard in flexibility and optimization.

最後に、チューナブル・ループは継続的な設計柔軟性を提供するもので、あらかじめループ特性が固定された状態で提供されるその他のソリューションに比べ非常に優れた可能性を提供します。外付け抵抗による出力電圧トリミングがかつて POL のアプリケーションにおいて斬新であったように、外付け抵抗・コンデンサによるチューナブル・ループのプログラム能力も、柔軟性や最適化の標準的手法になると期待されています。

* Indicates a trademark of the General Electric Company and/or its subsidiaries. All other trademarks are the property of their respective owners.

本文中の*は GE Electric Company 及び／又はその子会社の商標であることを示します。その他全ての商標は個々の所有者の所有物です。